

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027712

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

H01F 17/00

H01F 27/02

H01F 27/29

H05K 1/18

(21)Application number : 08-199754

(71)Applicant : TOKIN CORP

(22)Date of filing : 09.07.1996

(72)Inventor : ISHIKAWA MASAHIRO

(54) LARGE-CURRENT MULTILAYER CHIP INDUCTOR

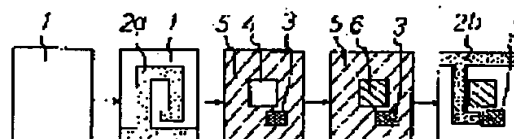
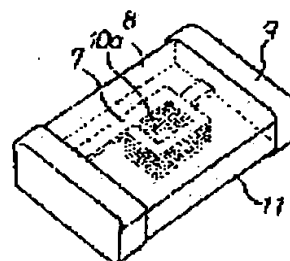
(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a large-current multilayer chip inductor which is high in performance and capable of coping with a large-current line where a large current flow through by a method wherein inner conductor patterns provided inside a chip magnetic body are connected together through the intermediary of a through-hole to form a multilayer coil, and a non-magnetic ceramic is provided inside the multilayer coil.

SOLUTION: An inner conductor pattern 2a is formed on an insulating magnetic green sheet 1. An insulating magnetic layer 5 provided with a through-hole 3 through which the inner conductor pattern 2a and a following inner conductor pattern are connected together and a hole corresponding to the center 4 of a coil 7 is formed.

Then, an insulating non-magnetic layer 10a is provided to the center 4 of the coil 7. Then, an inner conductor pattern 2b is formed so as to be connected to the inner conductor pattern 2a through the intermediary of the through-hole 3. The same as above, inner conductor

patterns and insulating non-magnetic layers are successively formed in layers by printing, and the conductor patterns are connected so as to form a coil. The tips of the uppermost and lowermost conductor pattern are exposed outside to be connected to the outer electrode terminals 9 for mounting provided on the edge faces of a chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 27712

(43) 公開日 平成10年(1998)1月27日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F	17/00		H 0 1 F	17/00 D
	27/02		H 0 5 K	1/18 K
	27/29		H 0 1 F	15/02 K
H 0 5 K	1/18			15/10 B

審査請求 未請求 請求項の数 2

F D

(全 3 頁)

(21) 出願番号 特願平8-199754

(22) 出願日 平成8年(1996)7月9日

(71) 出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 石川 征宏

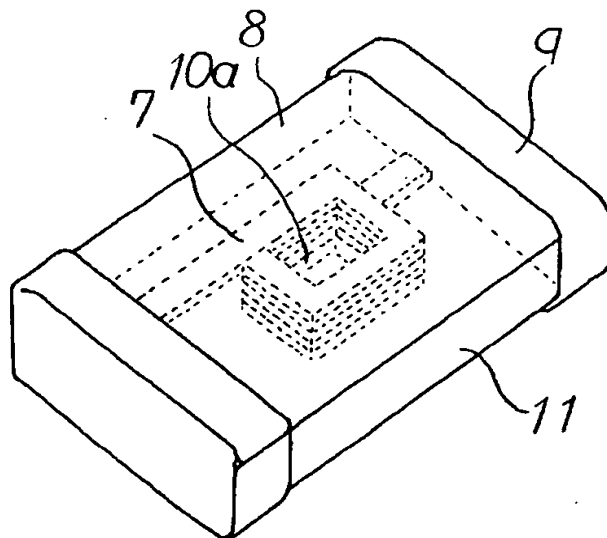
宮城県仙台市太白区郡山6丁目7番1号 株式会社トーキン内

(54) 【発明の名称】 高電流型積層チップインダクタ

(57) 【要約】

【課題】 高性能で、安価に製造でき、電流値の大きい電流ラインに対応した高電流型積層チップインダクタの提供。

【解決手段】 チップ化された磁性体 11 の内部に印刷等により内部導体パターンを積層したコイル 7 を形成し、このコイル 7 の内側部に非磁性体セラミックス 10 a を有し、内部導体パターンの先端をチップ側面で外部電極端子 9 に接続された高電流型積層チップインダクタ。



【特許請求の範囲】

【請求項 1】 チップ化された磁性体の内部に印刷等により埋設された内部導体パターンが、スルーホールを介して接続されて積層状態でコイルを形成し、該コイルの内側部には非磁性体セラミックスを有し、前記内部導体パターンの最上層と最下層の先端を外部に露出し、チップ側面の両端に実装のための外部電極端子と接続したことを特徴とする高電流型積層チップインダクタ。

【請求項 2】 請求項 1 記載の高電流型積層チップインダクタにおいて、前記内部導体パターンで構成されたコイルの外側に非磁性体セラミックスを持つ構成を特徴とする高電流型積層チップインダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表面実装型部品に関し、特に、高電流型を特徴とする積層チップインダクタに関する。

【0002】

【従来の技術】 従来、積層によるチップインダクタは、軽薄短小化に伴い素子内部のコイルの大きさに対し、磁性体の体積比率が非常に少なくなっており、電子回路の設計時に磁氣的飽和を考慮すると、電流値の小さい信号ラインには用いられるものの、電流値の大きい電流ラインには用いることができなかった。

【0003】 また、素子の内部導体パターンの断面積を最大限に大きくし、電流ラインへ用いた場合、インダクタンスの直流重畳特性が悪く、電流値が高くなるに従い、インダクタンス値が低下するという電氣的特性上の問題点があった。

【0004】

【発明が解決しようとする課題】 近年の電子機器、装置における小形化、低ピッチ化、高密度化の要求はめざましく、前記で示した従来の技術のようなチップインダクタでは、電氣的特性の選択の幅が狭く、電氣的特性に対し、大きな阻害因子になるという欠点があった。

【0005】 そこで、本発明の技術的課題は、かかる従来の技術における欠点を除去して、高性能で、かつ電流値の大きい電流ラインに対応した高電流型積層チップインダクタを提供することにある。

【0006】

【課題を解決するための手段】 本発明は、チップ化された磁性体の内部に印刷等により埋設された内部導体パターンが、スルーホールを介して接続されて積層状態でコイルを形成し、該コイルの内側部には非磁性体セラミックスを有し、前記内部導体パターンの最上層と最下層の先端を外部に露出し、チップ側面の両端に実装のための外部電極端子と接続したことを特徴とする高電流型積層チップインダクタである。

【0007】 又、本発明は、上記高電流型積層チップインダクタにおいて、前記内部導体パターンで構成された

コイルの外側に非磁性体セラミックスを持つ構成を特徴とする高電流型積層チップインダクタである。

【0008】

【発明の実施の形態】 以下、本発明の実施の形態を図面を参照して詳細に説明する。

【0009】 図 1 は、本発明の第 1 の実施の形態の高電流型積層チップインダクタの透視斜視図である。図 2 は、本発明の第 2 の実施の形態の高電流型積層チップインダクタの透視斜視図である。図 3 は、本発明の第 1 の実施の形態の高電流型積層チップインダクタの製造工程を示す説明図である。

【0010】 図 1 及び図 3 により、本発明の第 1 の実施の形態を説明する。なお、本発明の説明では、グリーンシート上に作製される数多くの素子中、1 個の素子の製造工程について説明する。初めに、絶縁性磁性粉末に対してバインダ樹脂（PVB 樹脂）5 wt %、有機系溶剤（エチレングリコールエーテル系）60 wt %等を添加し、混合を行い、絶縁性の磁性スラリー化する。

【0011】 ①この絶縁性の磁性スラリーをドクターブレード法を用いて膜厚 200～600 μm の長尺な絶縁性磁性体のグリーンシート 1 を作製する。

【0012】 ②次に、得られたグリーンシート 1 上にスクリーン印刷法により Ag ペーストにて内部導体パターン 2 a を所定のパターンに印刷し、加熱により乾燥する。

【0013】 ③前記内部導体パターン 2 a の次層の内部導体パターンとの接続部（スルーホール）3 とコイル 7（図 1 に示す）の中心部 4 とを残し、絶縁性の磁性スラリーをスクリーン印刷法により印刷し、加熱により乾燥させて、絶縁磁性層 5 を形成する。

【0014】 ④次に、コイルの中心部 4 に、絶縁性非磁性粉末に対してバインダ樹脂（PVB 樹脂）5 wt %、有機系溶剤（エチレングリコールエーテル系）60 wt %等を添加し、混合を行った絶縁性の非磁性スラリーをスクリーン印刷法により印刷し、加熱により乾燥させて、絶縁性非磁性層 6 を形成する。

【0015】 ⑤次に、前記内部導体パターンとの接続部（スルーホール）3 と接続するようにして内部導体パターン 2 b を所定のパターンに印刷し、加熱により乾燥する。

【0016】 同様にして、次々と積層印刷を重ね内部導体を接続することで、図 1 に示すコイル 7 を形成する。なお、形成されたコイル 7 の両端は、外部に露出するように形成される。

【0017】 このように、積層印刷されたシートの上に上部絶縁性磁性層としてのグリーンシートをホットプレスにより圧着し、未焼成シートを形成し、所定の大きさに切断して、未焼成のチップを作製する。

【0018】 この未焼成のチップを大気雰囲気中で脱バインダーした後、大気中で一体焼成を行う。次に、チ

チップの面取りのためバレル研磨を行い、前記コイル7の両端の外部に露出した内部電極と接続するようにして、チップ側面にAgペースト等の導電材をディップにより塗布し、所定の温度と時間で乾燥させた後、約600℃の温度で大気雰囲気により焼き付けして電極端子9を形成する。

【0019】次に、得られた電極端子9に電解めっきによりニッケルめっき層を介して半田めっきを施すことで、図1に示すようなコイル7の内側に非磁性体セラミックス10aを設けた高電流型積層チップインダクタが得られる。

【0020】又、同様の製造工程により、図2に示すように、コイル7の外側に非磁性体セラミックス10bを設けた高電流型積層チップインダクタが得られる。

【0021】次に、本発明による高電流型積層チップインダクタと磁性体内にコイルを埋め込んだ従来の積層チップインダクタについて、電流値に対するインダクタンス特性を比較した結果を図4に示した。

【0022】図4からわかるように、本発明による高電流型積層チップインダクタの特性を示す曲線Aは、従来の積層チップインダクタの特性を示す曲線Bと比較すると、低電流値ではインダクタンスが低い、高電流値では高いインダクタンス値であることがわかる。

【0023】従って、上記のように印刷法によりコイル中心部付近またはコイル外側を非磁性体セラミックスで構成すれば、大電流で良好なインダクタンスの直流重畳特性が得られ、高性能ノイズ対策フィルタ等の用途に有効となり、電子機器、装置に対する工業的価値がきわめ

て大きな高電流型積層チップインダクタが得られる。

【0024】

【発明の効果】以上、説明したように、本発明によれば、高性能で、電流値の大きい電流ラインに対応した高電流型積層チップインダクタが得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の高電流型積層チップインダクタの透視斜視図。

【図2】本発明の第2の実施例の高電流型積層チップインダクタの透視斜視図。

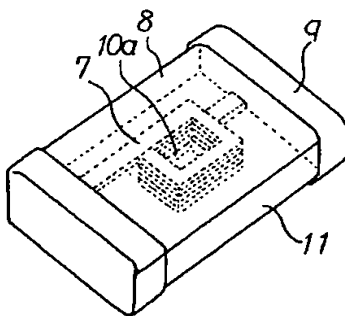
【図3】本発明の第1の実施例の高電流型積層チップインダクタの製造工程を示す説明図。

【図4】電流値に対するインダクタンス特性を示す図。

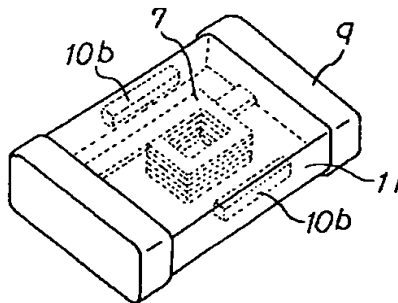
【符号の説明】

- 1 グリーンシート
- 2a, 2b 内部導体パターン
- 3 内部導体パターンとの接続部（スルーホール）
- 4 コイルの中心部
- 5, 8 絶縁磁性層
- 6 絶縁性非磁性層
- 7 コイル
- 9 (外部) 電極端子
- 10a, 10b 非磁性体セラミックス
- 11 磁性体
- A 本発明による高電流型積層チップインダクタの特性を示す曲線
- B 従来の積層チップインダクタの特性を示す曲線

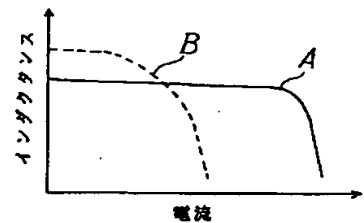
【図1】



【図2】



【図4】



【図3】

